



PATENT APPLICATION

IPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shuji MAYAMA et al.

Application No.: 10/777,156

Filed: February 13, 2004

Docket No.: 118678

For: PROTECTION CIRCUIT

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

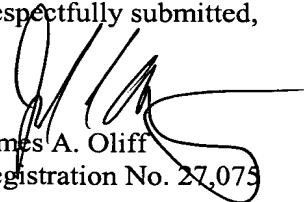
Japanese Patent Application No. 2003-036909 filed February 14, 2003.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

JAO:JSA/mxm

Date: May 12, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 1 4 日
Date of Application:

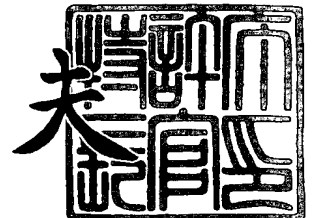
出 願 番 号 特 願 2 0 0 3 - 0 3 6 9 0 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 3 6 9 0 9]

出 願 人
Applicant(s): 株式会社オートネットワーク技術研究所
 住友電装株式会社
 住友電気工業株式会社

2 0 0 4 年 3 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 2 6 0 2

【書類名】 特許願

【整理番号】 415002059

【提出日】 平成15年 2月14日

【あて先】 特許庁長官殿

【国際特許分類】 H01H 69/00

【発明者】

 【住所又は居所】 愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所内

 【氏名】 眞山 修二

【発明者】

 【住所又は居所】 愛知県名古屋市南区菊住1丁目7番10号 株式会社オートネットワーク技術研究所内

 【氏名】 一色 功雄

【特許出願人】

 【識別番号】 395011665

 【氏名又は名称】 株式会社オートネットワーク技術研究所

【特許出願人】

 【識別番号】 000183406

 【氏名又は名称】 住友電装株式会社

【特許出願人】

 【識別番号】 000002130

 【氏名又は名称】 住友電気工業株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9606848

【包括委任状番号】 9005280

【包括委任状番号】 9700876

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 保護回路

【特許請求の範囲】

【請求項 1】 インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する N チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、

前記 F E T のゲートとゲート駆動電圧供給源との間の接続路に介装され、前記ゲートを前記ゲート駆動電圧供給源側に接続する第 1 の接続状態と、前記ゲートをグランド側に接続する第 2 の接続状態との間で接続状態を変更する第 1 の接続変更手段を備える、保護回路。

【請求項 2】 請求項 1 に記載の保護回路において、

前記 F E T のゲートとソースとの間に介装された第 1 の抵抗と、

前記ゲートと前記第 1 の接続変更手段との間、又は前記第 1 の接続変更手段とグランドとの間に介装された第 2 の抵抗と、
をさらに備える、保護回路。

【請求項 3】 請求項 2 に記載の保護回路において、

前記第 1 の抵抗が介装される前記 F E T のゲートとソースとの間の接続路に介装され、その接続路を導通、遮断する第 2 の接続変更手段をさらに備える、保護回路。

【請求項 4】 インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する N チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、

前記 F E T のゲートとゲート駆動電圧供給源との間の第 1 の接続路上の部分とグランドとの間に介装され、その部分とグランドとの間を遮断、導通する第 1 の接続変更手段を備える、保護回路。

【請求項 5】 請求項 4 に記載の保護回路において、

前記 F E T のゲートとソースとの間の第 2 の接続路に介装された第 1 の抵抗と

前記ゲートから前記第 1 の接続路及び前記接続変更手段を介してグラウンドに至る経路上に介装された第 2 の抵抗と、
をさらに備える、保護回路。

【請求項 6】 請求項 5 に記載の保護回路において、

前記第 1 の抵抗が介装される前記 F E T のゲートとソースとの間の前記第 2 の接続路に介装され、その接続路を導通、遮断する第 2 の接続変更手段をさらに備える、保護回路。

【請求項 7】 インダクタンス性の負荷と、前記負荷への通電状態を制御する P チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、

前記 F E T のゲートとグラウンドとの間の接続路に介装され、前記ゲートをグラウンド側に接続する第 1 の接続状態と、前記ゲートを前記 F E T のソース側に接続する第 2 の接続状態との間で接続状態を変更する接続変更手段と、

前記 F E T のゲートと前記接続変更手段との間、又は前記接続変更手段と前記 F E T のソースとの間に介装された第 1 の抵抗と、

前記 F E T のゲートとドレインとの間に介装された第 2 の抵抗と、
を備える、保護回路。

【請求項 8】 インダクタンス性の負荷と、前記負荷への通電状態を制御する P チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、

前記 F E T のゲートとソースとの間の接続路上の部分とグラウンドとの間を導通、遮断する接続変更手段と、

前記 F E T のゲートから前記接続路を介してソースに至る経路上に介装された第 1 の抵抗と、

前記 F E T のゲートとドレインとの間に介装された第 2 の抵抗と、
を備える、保護回路。

【請求項 9】 インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する I G B T と、を備え

る回路構造に対して設けられる保護回路であって、

前記 I G B T のゲートとゲート駆動電圧供給源との間の接続路に介装され、前記ゲートをゲート駆動電圧供給源側に接続する第 1 の接続状態と、前記ゲートをグラント側に接続する第 2 の接続状態との間で接続状態を変更する接続変更手段を備える、保護回路。

【請求項 10】 請求項 9 に記載の保護回路において、

前記 I G B T のゲートとエミッタとの間に介装された第 1 の抵抗と、

前記 I G B T のゲートと前記接続変更手段との間、又は前記接続変更手段とグラントとの間に介装された第 2 の抵抗と、
をさらに備える、保護回路。

【請求項 11】 インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する I G B T と、を備える回路構造に対して設けられる保護回路であって、

前記 I G B T のゲートとゲート駆動電圧供給源との間の接続路上の部分とグラントとの間を導通、遮断する接続変更手段を備える、保護回路。

【請求項 12】 請求項 11 に記載の保護回路において、

前記 I G B T のゲートとエミッタとの間に介装された第 1 の抵抗と、

前記 I G B T のゲートから前記接続路及び前記接続変更手段を介してグラントに至る経路上に介装された第 2 の抵抗と、
をさらに備える、保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インダクタンス性の負荷への電流の通流状態を制御する F E T 等を保護するための保護回路に関し、特に車載用の各種電源分配部における電源制御に適用される保護回路に関する。

【0002】

【従来の技術】

図 6 は、従来の保護回路及びその保護回路が適用される回路構造の回路図であ

る。この種の保護回路としては、図 6 に示すように、インダクタンس性の負荷（例えばモータ）1 の電源オフ時に発生するサージ電圧への対策として、Nチャンネル MOS トランジスタである FET 3 のゲートとドレインとの間にツェナーダイオード 5 を介装しているとともに、ゲートとそのゲート駆動電圧供給源であるチャージポンプ回路 7 と間の接続路にスイッチ 9 を介装し、FET 3 のゲートとソースとの間に第 1 の抵抗 11 を介装し、FET 3 のゲートとスイッチ 9 との間に第 2 の抵抗 13 を介装している。

【0003】

スイッチ 9 は、FET 3 のオン、オフスイッチも兼ねており、負荷 1 の駆動中は FET 3 のゲートとチャージポンプ回路 7 との間を導通させて FET 3 をオンさせる一方、負荷 1 の電源オフ時にはゲートとチャージポンプ回路 7 との間を遮断して FET 3 をオフさせるようになっている。このため、負荷 1 の駆動時には、チャージポンプ回路 7 から出力される駆動電圧がスイッチ 9 及び抵抗 13 を介して FET 3 のゲートに与えられ、これによって FET 3 がオンし、これによって負荷 1 への通電が行われて負荷 1 が駆動される。そして、負荷 1 の電源オフ時には、スイッチ 9 により FET 3 のゲートとチャージポンプ回路 7 との間が遮断され、これに伴ってゲート電圧がしきい値電圧を下回った時点で FET 3 がオフされる。そして、その FET 3 のオフに伴って、FET 3 のソース電位に、負荷 1 のインダクタンس逆起電力による負サージが発生し、その負サージにより抵抗 11 を介してゲート電圧がマイナスに引かれ、FET 3 のゲート、ドレイン間の電位差がツェナーダイオード 5 のしきい値電圧を超えるのに伴ってツェナーダイオード 5 を介してゲート、ドレイン間が導通し、ツェナーダイオード 5 及び抵抗 11 を介してドレイン側からソース側に電流が流れ、その際に生じるゲート、ソース間の電位差がしきい値電圧を超えるのに伴って FET 3 がオンする。この FET 3 のオン状態は、ゲート、ソース間電圧がしきい値を下回るまで保たれ、これによって、この FET 3 がオンしている期間は、FET 3 を介して供給される電力で負荷 1 の逆起電力が吸収される。

【0004】

図 7 は、図 6 の回路構造における負荷 1 の電源オフ時のサージ電流等の様子を

示す図である。図 7 中のグラフ G 1 は、図 6 の回路構造において負荷 1 の電源オフ時に負荷 1 に流れる電流 I_L (図 6 参照) の時間変化を示しており、グラフ G 2 は、同じく図 6 の回路構造において負荷 1 の電源オフ時に F E T 3 のソース電圧 V_S (図 6 参照) の時間変化を示している。また、図 7 のグラフ G 3 は、図 6 の回路構造においてツェナーダイオード 5 を取り除いたときの負荷 1 の電源オフ時のソース電圧 V_S の時間変化を示している。

【0005】

【発明が解決しようとする課題】

しかしながら、上述の従来の保護回路では、ツェナーダイオード 5 を使用するため、回路構成が大型化及び高コスト化するという問題がある。また、ツェナーダイオード 5 のオン、オフ時に高周波ノイズが発生するという問題もある。

【0006】

そこで、本発明は、回路構成の小型化及び低コスト化を図りつつ、本発明が適用される回路構造における負荷の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要のない保護回路を提供することを目的とする。

【0007】

【課題を解決するための手段】

前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する N チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、前記 F E T のゲートとゲート駆動電圧供給源との間の接続路に介装され、前記ゲートを前記ゲート駆動電圧供給源側に接続する第 1 の接続状態と、前記ゲートをグランド側に接続する第 2 の接続状態との間で接続状態を変更する第 1 の接続変更手段を備える。

【0008】

また、好ましくは、前記 F E T のゲートとソースとの間に介装された第 1 の抵抗と、前記ゲートと前記第 1 の接続変更手段との間、又は前記第 1 の接続変更手段とグランドとの間に介装された第 2 の抵抗と、をさらに備えるのがよい。

【0009】

さらに、好ましくは、前記第1の抵抗が介装される前記FETのゲートとソースとの間の接続路に介装され、その接続路を導通、遮断する第2の接続変更手段をさらに備えるのがよい。

【0010】

また、前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御するNチャンネルMOSトランジスタであるFETと、を備える回路構造に対して設けられる保護回路であって、前記FETのゲートとゲート駆動電圧供給源との間の第1の接続路上の部分とグランドとの間に介装され、その部分とグランドとの間を遮断、導通する第1の接続変更手段を備える。

【0011】

さらに、好ましくは、前記FETのゲートとソースとの間の第2の接続路に介装された第1の抵抗と、前記ゲートから前記第1の接続路及び前記接続変更手段を介してグランドに至る経路上に介装された第2の抵抗と、をさらに備えるのがよい。

【0012】

また、好ましくは、前記第1の抵抗が介装される前記FETのゲートとソースとの間の前記第2の接続路に介装され、その接続路を導通、遮断する第2の接続変更手段をさらに備えるのがよい。

【0013】

さらに、前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷への通電状態を制御するPチャンネルMOSトランジスタであるFETと、を備える回路構造に対して設けられる保護回路であって、前記FETのゲートとグランドとの間の接続路に介装され、前記ゲートをグランド側に接続する第1の接続状態と、前記ゲートを前記FETのソース側に接続する第2の接続状態との間で接続状態を変更する接続変更手段と、前記FETのゲートと前記接続変更手段との間、又は前記接続変更手段と前記FETのソースとの間に介装された第1の抵抗と、前記FETのゲートとドレインとの間に介装された第2の抵抗

と、を備えるのがよい。

【0 0 1 4】

また、前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷への通電状態を制御する P チャンネル MOS トランジスタである F E T と、を備える回路構造に対して設けられる保護回路であって、前記 F E T のゲートとソースとの間の接続路上の部分とグランドとの間を導通、遮断する接続変更手段と、前記 F E T のゲートから前記接続路を介してソースに至る経路上に介装された第 1 の抵抗と、前記 F E T のゲートとドレインとの間に介装された第 2 の抵抗と、を備える。

【0 0 1 5】

さらに、前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する I G B T と、を備える回路構造に対して設けられる保護回路であって、前記 I G B T のゲートとゲート駆動電圧供給源との間の接続路に介装され、前記ゲートをゲート駆動電圧供給源側に接続する第 1 の接続状態と、前記ゲートをグランド側に接続する第 2 の接続状態との間で接続状態を変更する接続変更手段を備える。

【0 0 1 6】

また、好ましくは、前記 I G B T のゲートとエミッタとの間に介装された第 1 の抵抗と、前記 I G B T のゲートと前記接続変更手段との間、又は前記接続変更手段とグランドとの間に介装された第 2 の抵抗と、をさらに備えるのがよい。

【0 0 1 7】

さらに、前記目的を達成するための技術的手段は、インダクタンス性の負荷と、前記負荷に対して電源電流の通流方向上流側に設けられ、前記負荷への通電状態を制御する I G B T と、を備える回路構造に対して設けられる保護回路であって、前記 I G B T のゲートとゲート駆動電圧供給源との間の接続路上の部分とグランドとの間を導通、遮断する接続変更手段を備える。

【0 0 1 8】

また、好ましくは、前記 I G B T のゲートとエミッタとの間に介装された第 1

の抵抗と、前記 IGBT のゲートから前記接続路及び前記接続変更手段を介してグラウンドに至る経路上に介装された第 2 の抵抗と、をさらに備えるのがよい。

【0019】

【発明の実施の形態】

<第 1 実施形態>

図 1 は、本発明の第 1 実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。本実施形態に係る保護回路 20 が適用される回路構造は、図 1 に示すように、インダクタンス性の負荷（例えばモータ）21 と、負荷 21 への通電状態を制御する N チャンネル MOS トランジスタである FET 23 と、FET 23 を駆動するチャージポンプ回路（ゲート駆動電圧供給源）25 とを備えている。負荷 21 と FET 23 とは、FET 23 の方が電源電流の通流方向上流側となるように、通電路 27 に直列に介装されている。通電路 27 は、電源ライン 29 とグラウンドとの間に介装される。通電路 27 には、FET 23 と並列になるようにダイオード 31 が接続されている。ダイオード 31 は、その順方向が電源ライン 29 から通電路 17 に供給される電源電流の通流方向と逆向きになるように接続されている。

【0020】

本実施形態に係る保護回路 20 は、FET 23 のゲートとチャージポンプ回路 25 との間の接続路に介装された第 1 のスイッチ（第 1 の接続変更手段）33 と、FET 23 のゲートとソースとの間に介装された第 1 の抵抗 35 と、FET 23 のゲートと第 1 のスイッチ 33 との間に介装された第 2 の抵抗 37 と、第 1 の抵抗 35 が介装される FET 23 のゲートとソースとの間の接続路 41 に介装された第 2 のスイッチ（第 2 の接続変更手段）39 とを備えている。第 1 及び第 2 のスイッチ 33、39 は、入力される制御信号に応じて回路の切替動作を行う。第 2 の抵抗 37 は、FET 23 のゲートと第 1 のスイッチ 33 との間でなく、第 1 のスイッチ 33 とグラウンドとの間に介装するようにしてもよい。

【0021】

第 1 のスイッチ 33 には、第 1 のスイッチ 33 側からみてチャージポンプ回路 25 にいたる接続路とグラウンドにいたる接続路とが接続されており、その両接続

路が第1のスイッチ33によって択一的に切り替えられてFET23のゲートに接続されるようになっている。

【0022】

第1のスイッチ33は、FET23のオン、オフスイッチも兼ねており、FET23をオンさせて負荷21を駆動させるべき際にはFET23のゲートをチャージポンプ回路25側に接続する（第1の接続状態）一方、FET23をオフさせて負荷21を電源オフさせるべき際にはFET23のゲートをグランド側に接続する（第2の接続状態）ようになっている。

【0023】

第2のスイッチ39は、チャージポンプ回路25から出力されるゲート駆動信号が第1のスイッチ33及び抵抗35、37を介して負荷21側に漏れるのを防止するためのものであり、第1のスイッチ33がチャージポンプ回路25側に切り替えられている際には、第1の抵抗35が介装されたFET23のゲート、ソース間の接続路41を遮断する一方、第1のスイッチ33がグランド側に切り替えられている際には接続路41を導通するようになっている。

【0024】

次に、図1の回路構造の動作を説明する。負荷21の駆動時は、第1のスイッチ33がチャージポンプ回路25側に切り替えられて、チャージポンプ回路15から出力されるゲート駆動信号が、第1のスイッチ33及び第2の抵抗37を介してFET23のゲートに与えられてFET23がオンし、これによって、電源ライン29からの電源電流がFET23を介して負荷21に流れ、負荷21が駆動される。このとき、第2のスイッチ39は接続路41を遮断している。

【0025】

負荷21の電源オフ時には、第1のスイッチ33がチャージポンプ回路25側からグランド側に切り替えられるとともに、第2のスイッチ39によって接続路41が導通され、FET23のゲート、ソース間電圧がしきい値電圧を下回り、FET23がオフされ、負荷21への通電が停止される。そして、そのFET23のオフに伴って、負荷21のインダクタンス逆起電力による負サージが発生し、これによって、FET23のソース電圧がマイナスに引かれ、経路P1で示す

ように、第1のスイッチ33、第2の抵抗37、第2のスイッチ39及び第1の抵抗35を介してグランド側から負荷21側に電流が流れる。このとき、FET23のゲート、ソース間には、ソース電圧のレベル、及び、第1及び第2の抵抗35、37の抵抗値の比率に応じた分圧の電位差が生じ、そのゲート、ソース間電圧がしきい値電圧を超えた時点で、FET23がオンする。このFET23のオン状態は、ゲート、ソース間電圧がしきい値を下回るまで保たれ、これによって、このFET23がオンしている期間は、FET23を介して電源ライン29より負荷21に供給される電力で負荷21の逆起電力が吸収される。また、このFET23のオン状態は、負荷21による負サージが収束し、ゲート、ソース間電圧がしきい値を下回るのに伴って終了する。

【0026】

図2は、図1の回路構造における負荷21の電源オフ時のサージ電流等の様子を示す図である。図2中のグラフG4は、図1の回路構造において負荷21の電源オフ時に負荷21に流れる電流 I_L （図1参照）の時間変化を示しており、グラフG5は、同じく図1の回路構造において負荷21の電源オフ時にFET23のソース電圧 V_S （図1参照）の時間変化を示している。グラフG4、G5の状態より、本実施形態に係る保護回路20によっても前述の図6の保護回路とほぼ同等のサージ抑制効果が得られることが分かる。

【0027】

ここで、本実施形態に係る保護回路20では、第1の抵抗35及び第2の抵抗37の抵抗値の比率を調節することにより、負サージ発生時に第1及び第2の抵抗35、37を介してグランド側から負荷21側に電流が流れた際に生じるFET23のゲート、ソース間電圧を調節することができるようになっている。これによって、負サージ発生時にFET23のソース電圧がどれくらいマイナスに引かれた時点でFET23をオンさせるかを容易に調節することができるとともに、負サージ発生時にFET23をオンさせる際に十分なレベルのゲート、ソース間電圧を確保することができ（例えば、これによってFET23を完全にオンさせることができ）、その結果、負サージの吸収に要する時間 T （図2参照）を短縮することができるようになっている。

【0028】

図3は、図1の回路構造に含まれる保護回路20をより具体化した回路を示す図である。この図3の具体例では、図3に示すように、第1及び第2のスイッチ33、39としてNチャンネルMOSFETが用いられている。また、この具体例では、第1のスイッチ(FET)33は、FET23のゲートとチャージポンプ回路25との間の接続路上における第2の抵抗37とチャージポンプ回路25との間の部分43と、グランドとの間に介装されており、入力されるオン、オフ信号に応じて部分43とグランドとの間を導通、遮断する。第2のスイッチ(FET)39も同様に入力されるオン、オフ信号に応じて接続路41を導通、遮断する。ここで、この具体例では、第1及び第2のスイッチ33、39及びチャージポンプ回路25をオン、オフするための信号は、共通のオン、オフ信号が用いられている。なお、この具体例では、FET23のゲートとチャージポンプ回路25との間の接続路上における前記部分43(第1のスイッチ33が接続される部分)とチャージポンプ25との間には、第3の抵抗45に介装されている。

【0029】

以上のように、本実施形態によれば、第1及び第2のスイッチ33、39、及び第1及び第2の抵抗35、37を用いた簡単な回路構成で保護回路20を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本実施形態が適用される回路構造における負荷21の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0030】

また、上述のように、第1の抵抗35及び第2の抵抗37の抵抗値の比率を調節することにより、負サージの吸収に要する時間Tの短縮等の効果が得られる。

【0031】

さらに、第1のスイッチ33がチャージポンプ回路25側に切り替えられて負荷21が駆動される際には、第2のスイッチ39により第1の抵抗35が介装されたFET23のゲート、ソース間の接続路41が遮断されるため、チャージポンプ回路25から出力されるゲート駆動信号が接続路41を介して負荷21側に

漏れるのを防止することができる。

【0032】

<第2実施形態>

図4は、本発明の第2実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。本実施形態に係る保護回路50が適用される回路構造は、図4に示すように、インダクタンス性の負荷（例えばモータ）51と、負荷51への通電状態を制御するPチャンネルMOSトランジスタであるFET53とを備えている。本実施形態では、負荷51とFET53とは、FET53の方が電源電流の通流方向上流側となるように、通電路55に直列に介装されているが、負荷51の方が電流通流方向上流側となるように配設してもよい。通電路55は、電源ライン57とグランドとの間に介装される。

【0033】

本実施形態に係る保護回路50は、FET53のゲートとグランドとの間の接続路に介装されたスイッチ（接続変更手段）59と、FET53のゲートとスイッチ59との間に介装された第1の抵抗61と、FET53のゲートとドレインとの間に介装された第2の抵抗63とを備えている。スイッチ59は、入力される制御信号に応じて回路の切替動作を行う。第1の抵抗61は、FET53のゲートとスイッチ59との間でなく、スイッチ59とFET53のソースとの間に介装するようにしてもよい。

【0034】

スイッチ59には、スイッチ59側からみてグランドにいたる接続路とFET53のソースにいたる接続路とが接続されており、その両接続路がスイッチ59によって択一的に切り替えられてFET53のゲートに接続されるようになっている。

【0035】

スイッチ59は、FET53のオン、オフスイッチも兼ねており、FET53をオンさせて負荷51を駆動させるべき際にはFET53のゲートをグランド側に接続する（第1の接続状態）一方、FET53をオフさせて負荷51を電源オフさせるべき際にはFET53のゲートをFET53のソース側に接続する（第

2の接続状態) ようになっている。

【0036】

次に、図4の回路構造の動作を説明する。負荷51の駆動時は、スイッチ59がグランド側に切り替えられて、FET53のゲートが第1の抵抗61及びスイッチ59を介してグランドに接続され、これによってFET53のゲート、ソース間電圧がしきい値電圧を超えてFET53がオンし、電源ライン57からの電源電流がFET53を介して負荷51に流れ、負荷51が駆動される。

【0037】

負荷51の電源オフ時には、スイッチ59がグランド側からFET53のソース側に切り替えられ、FET53のゲート、ソース間電圧がしきい値電圧を下回り(一旦実質的にゼロになり)、FET53がオフされ、負荷51への通電が停止される。そして、そのFET53のオフに伴って、負荷51のインダクタンス逆起電力による負サージが発生し、これによって、FET53のゲート電圧がマイナスに引かれ、経路P2で示すように、スイッチ59、第1の抵抗61、第2の抵抗63を介してFET53のソース側から負荷51側に電流が流れる。このとき、FET53のゲート、ソース間には、ソース、ドレイン間の電位差レベル、及び、第1及び第2の抵抗61、63の抵抗値の比率に応じた分圧の電位差が生じ、そのゲート、ソース間電圧がしきい値電圧を超えた時点で、FET53がオンする。このFET53のオン状態は、ゲート、ソース間電圧がしきい値を下回るまで保たれ、これによって、このFET53がオンしている期間は、FET53を介して電源ライン57より負荷51に供給される電力で負荷51の逆起電力が吸収される。また、このFET53のオン状態は、負荷51による負サージが収束し、ゲート、ソース間電圧がしきい値を下回るのに伴って終了する。

【0038】

ここで、本実施形態に係る保護回路50では、第1の抵抗61及び第2の抵抗63の抵抗値の比率を調節することにより、負サージ発生時に第1及び第2の抵抗61、63を介してFET53のソース側から負荷21側に電流が流れた際に生じるFET53のゲート、ソース間電圧を調節することができるようになっている。これによって、負サージ発生時にFET53のドレイン電圧がどれくらい

マイナスに引かれた時点でFET53をオンさせるかを容易に調節することができるとともに、負サージ発生時にFET53をオンさせる際に十分なレベルのゲート、ソース間電圧を確保することができ（例えば、これによってFET53を完全にオンさせることができ）、その結果、負サージの吸収に要する時間を短縮することができるようになっている。

【0039】

以上のように、実施形態によれば、スイッチ59、及び第1及び第2の抵抗61、63を用いた簡単な回路構成で保護回路50を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本実施形態が適用される回路構造における負荷61の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0040】

また、上述のように、第1の抵抗61及び第2の抵抗62の抵抗値の比率を調節することにより、負サージの吸収に要する時間の短縮等の効果が得られる。

【0041】

なお、回路構成の具体例として、スイッチ59として図3のFET33を用いた回路構成を採用してもよい。

【0042】

<第3実施形態>

図5は、本発明の第3実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。本実施形態に係る保護回路70が適用される回路構造は、図5に示すように、インダクタンス性の負荷（例えばモータ）71と、負荷71への通電状態を制御するIGBT73と、IGBT73を駆動するためのゲート駆動電圧を供給するゲート駆動電圧供給源（例えば、駆動回路）75とを備えている。負荷71とIGBT73とは、IGBT73の方が電源電流の通流方向上流側となるように、通電路77に直列に介装されている。通電路77は、電源ライン79とグランドとの間に介装される。

【0043】

本実施形態に係る保護回路 70 は、IGBT 73 のゲートとゲート駆動電圧供給源 75 との間の接続路に介装されたスイッチ（接続変更手段）81 と、IGBT 73 のゲートとエミッタとの間に介装された第 1 の抵抗 83 と、IGBT 73 のゲートとスイッチ 81 との間に介装された第 2 の抵抗 85 とを備えている。スイッチ 81 は、入力される制御信号に応じて回路の切替動作を行う。第 2 の抵抗 85 は、IGBT 73 のゲートとスイッチ 81 との間でなく、スイッチ 81 とグランドとの間に介装するようにしてもよい。

【0044】

スイッチ 81 には、スイッチ 81 側からみてゲート駆動電圧供給源 75 にいたる接続路とグランドにいたる接続路とが接続されており、その両接続路がスイッチ 81 によって択一的に切り替えられて IGBT 73 のゲートに接続されるようになっている。

【0045】

スイッチ 81 は、IGBT 73 のオン、オフスイッチも兼ねており、IGBT 73 をオンさせて負荷 71 を駆動させるべき際には IGBT 73 のゲートをゲート駆動電圧供給源 75 側に接続する（第 1 の接続状態）一方、IGBT 73 をオフさせて負荷 71 を電源オフさせるべき際には IGBT 73 のゲートをグランド側に接続する（第 2 の接続状態）ようになっている。

【0046】

次に、図 5 の回路構造の動作を説明する。負荷 71 の駆動時は、スイッチ 81 がゲート駆動電圧供給源 75 側に切り替えられて、ゲート駆動電圧供給源 75 から出力されるゲート駆動電圧がスイッチ 81 及び第 2 の抵抗 85 を介して IGBT 73 のゲートに与えられ、これによって IGBT 73 のゲート、エミッタ間電圧がしきい値電圧を超えて IGBT 73 がオンし、電源ライン 79 からの電源電流が IGBT 73 を介して負荷 71 に流れ、負荷 71 が駆動される。

【0047】

負荷 71 の電源オフ時には、スイッチ 81 がゲート駆動電圧供給源 75 側からグランド側に切り替えられ、IGBT 73 のゲートが第 2 の抵抗 85 及びスイッチ 81 を介してグランドに接続され、IGBT 73 のゲート、エミッタ間電圧が

しきい値電圧を下回り、IGBT73がオフされ、負荷71への通電が停止される。そして、そのIGBT73のオフに伴って、負荷71のインダクタンス逆起電力による負サージが発生し、これによって、IGBT73のエミッタ電圧がマイナスに引かれ、経路P3で示すように、スイッチ81、及び第1及び第2の抵抗83, 85を介してグランド側から負荷71側に電流が流れる。このとき、IGBT73のゲート、エミッタ間には、エミッタ電位のレベル、及び、第1及び第2の抵抗83, 85の抵抗値の比率に応じた分圧の電位差が生じ、そのゲート、エミッタ間電圧がしきい値電圧を超えた時点で、IGBT73がオンする。このIGBT73のオン状態は、ゲート、エミッタ間電圧がしきい値を下回るまで保たれ、これによって、このIGBT73がオンしている期間は、IGBT73を介して電源ライン79より負荷71に供給される電力で負荷71の逆起電力が吸収される。また、このIGBT73のオン状態は、負荷71による負サージが収束し、ゲート、エミッタ間電圧がしきい値を下回るのに伴って終了する。

【0048】

ここで、本実施形態に係る保護回路70では、第1の抵抗83及び第2の抵抗85の抵抗値の比率を調節することにより、負サージ発生時に第1及び第2の抵抗83, 85を介してグランド側から負荷71側に電流が流れた際に生じるIGBT73のゲート、エミッタ間電圧を調節することができるようになっている。これによって、負サージ発生時にIGBT73のエミッタ電圧がどれくらいマイナスに引かれた時点でIGBT73をオンさせるかを容易に調節することができるとともに、負サージ発生時にIGBT73をオンさせる際に十分なレベルのゲート、エミッタ間電圧を確保することができ（例えば、これによってIGBT73を完全にオンさせることができ）、その結果、負サージの吸収に要する時間を短縮することができるようになっている。

【0049】

以上のように、実施形態によれば、スイッチ81、及び第1及び第2の抵抗83, 85を用いた簡単な回路構成で保護回路70を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本実施形態が適用される回路構造における負荷71の電源オフ時のサージ電圧対策を図ることができ、しか

も高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0050】

また、上述のように、第1の抵抗83及び第2の抵抗85の抵抗値の比率を調節することにより、負サージの吸収に要する時間の短縮等の効果が得られる。

【0051】

なお、回路構成の具体例として、スイッチ81として図3のFET33を用いた回路構成を採用してもよい。

【0052】

【発明の効果】

請求項1に記載の発明によれば、負荷の電源オフ時に、第1の接続変更手段の接続状態をFETのゲートをゲート駆動電圧供給源側に接続する第1の接続状態から、ゲートをグランド側に接続する第2の接続状態に変更することにより、負荷の電源オフによる負サージ発生に伴ってFETのゲート、ソース間電圧がしきい値を超えてFETがオフからオンに切り替わり、FETを介して負荷に流れる電流により負サージを吸収することができるため、簡単な回路構成で保護回路を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本発明が適用される回路構造における負荷の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0053】

請求項2に記載の発明によれば、第1の抵抗及び第2の抵抗の抵抗値の比率を調節することにより負サージ発生時に第1及び第2の抵抗を介してグランド側からFETのソース側に電流が流れた際に生じるFETのゲート、ソース間電圧を調節することができる。これによって、負サージ発生時にFETのソース電圧がどれくらいマイナスに引かれた時点でFETをオンさせるかを容易に調節することができるとともに、負サージ発生時にFETをオンさせる際に十分なレベルのゲート、ソース間電圧を確保することができ（例えば、これによってFETを完全にオンさせることができ）、その結果、負サージの吸収に要する時間を短縮す

ることができる。

【0054】

請求項3に記載の発明によれば、第1の接続変更手段の接続状態がFETのゲートをゲート駆動電圧供給源側に接続する第1の接続状態にされてFETがオンされ、負荷が駆動中である場合には、第2のスイッチによりFETのゲート、ソース間の接続路を遮断して、ゲート駆動電圧供給源から出力されるゲート駆動信号が第1の抵抗を介して負荷側に漏れるのを防止することができる。

【0055】

請求項4ないし6に記載の発明は、請求項1ないし3に記載の発明と実質的に同様な構成であるため、請求項1ないし3に記載の発明と同様な効果が得られる。

【0056】

請求項7に記載の発明によれば、負荷の電源オフ時に、接続変更手段の接続状態をFETのゲートをグランド側に接続する第1の接続状態から、ゲートをソース側に接続する第2の接続状態に変更することにより、接続変更手段、第1の抵抗及び第2の抵抗を介してFETのソース側からドレイン側に電流が流れることにより生じるFETのゲート、ソース間電圧が、負荷の電源オフによるサージ発生に伴ってそのしきい値電圧を超えてFETがオフからオンに切り替わり、それに伴って負荷に流れる電流によりサージを吸収することができるため、簡単な回路構成で保護回路を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本発明が適用される回路構造における負荷の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0057】

また、第1の抵抗及び第2の抵抗の抵抗値の比率を調節することによりサージ発生時に接続変更手段、第1の抵抗及び第2の抵抗を介してFETのソース側からドレイン側に電流が流れた際に生じるFETのゲート、ソース間電圧を調節することができる。これによって、どのくらいの大きさのサージが発生した際にFETをオンさせるかを容易に調節できるとともに、サージ発生時にF

ETをオンさせる際に十分なレベルのゲート、ソース間電圧を確保することができ（例えば、これによってFETを完全にオンさせることができ）、その結果、サージの吸収に要する時間を短縮することができる。

【0058】

請求項8に記載の発明は、請求項7に記載の発明と実質的に同様な構成であるため、請求項7に記載の発明と同様な効果が得られる。

【0059】

請求項9に記載の発明によれば、負荷の電源オフ時に、接続変更手段の接続状態をIGBTのゲートをゲート駆動電圧供給源側に接続する第1の接続状態から、ゲートをグランド側に接続する第2の接続状態に変更することにより、負荷の電源オフによる負サージ発生に伴ってIGBTのゲート、エミッタ間電圧がしきい値を超えてIGBTがオフからオンに切り替わり、IGBTを介して負荷に流れる電流により負サージを吸収することができるため、簡単な回路構成で保護回路を構成することができる。その結果、回路構成の小型化及び低コスト化を図りつつ、本発明が適用される回路構造における負荷の電源オフ時のサージ電圧対策を図ることができ、しかも高周波ノイズを発生するツェナーダイオードのような素子を使用する必要がない。

【0060】

請求項10に記載の発明によれば、第1の抵抗及び第2の抵抗の抵抗値の比率を調節することにより負サージ発生時に第1及び第2の抵抗を介してグランド側からIGBTのエミッタ側に電流が流れた際に生じるIGBTのゲート、エミッタ間電圧を調節することができる。これによって、負サージ発生時にIGBTのエミッタ電圧がどれくらいマイナスに引かれた時点でIGBTをオンさせるかを容易に調節できるとともに、負サージ発生時にIGBTをオンさせる際に十分なレベルのゲート、エミッタ間電圧を確保することができ（例えば、これによってIGBTを完全にオンさせることができ）、その結果、負サージの吸収に要する時間を短縮することができる。

【0061】

請求項11及び12に記載の発明は、請求項9及び10に記載の発明と実質的

に同様な構成であるため、請求項 9 及び 1 0 に記載の発明と同様な効果が得られる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。

【図 2】

図 1 の回路構造における負荷の電源オフ時のサージ電流等の様子を示す図である。

【図 3】

図 1 の回路構造に含まれる保護回路をより具体化した回路を示す図である。

【図 4】

本発明の第 2 実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。

【図 5】

本発明の第 3 実施形態に係る保護回路及びその保護回路が適用される回路構造の回路図である。

【図 6】

従来の保護回路及びその保護回路が適用される回路構造の回路図である。

【図 7】

図 6 の回路構造における負荷の電源オフ時のサージ電流等の様子を示す図である。

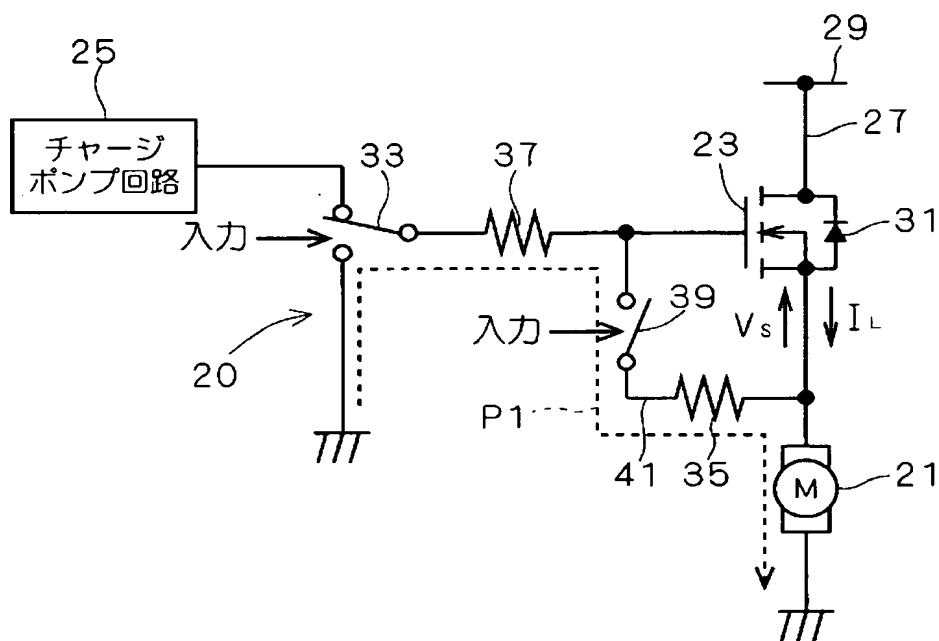
【符号の説明】

- 2 1 負荷
- 2 3 F E T
- 2 5 チャージポンプ回路
- 3 3 第 1 のスイッチ
- 3 5 第 1 の抵抗
- 3 7 第 2 の抵抗

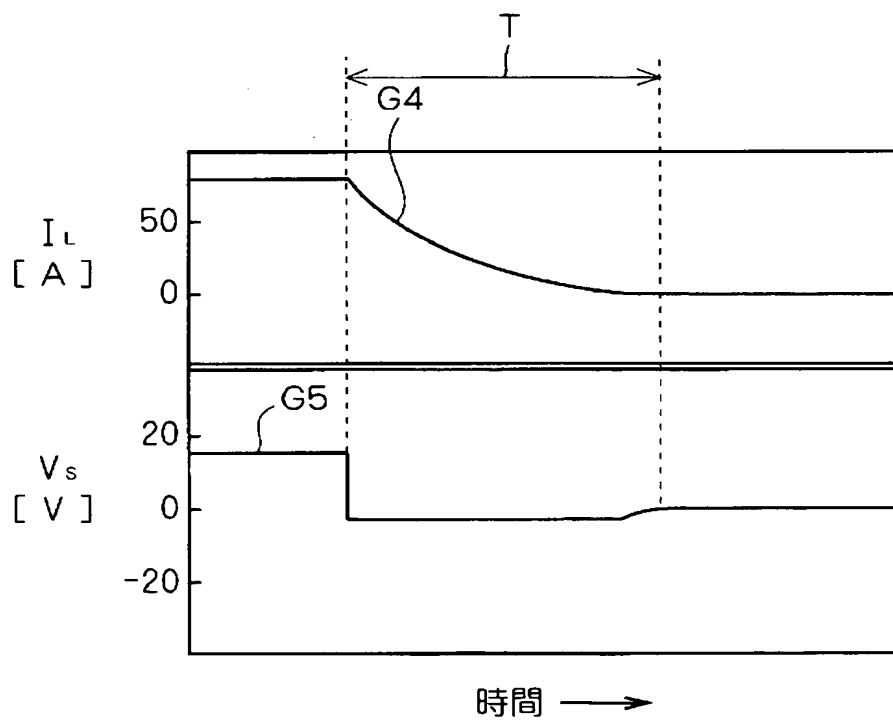
3 9 第 2 のスイッチ
5 1 負荷
5 3 F E T
5 9 スイッチ
6 1 第 1 の抵抗
6 3 第 2 の抵抗
7 1 負荷
7 3 I G B T
8 1 スイッチ
8 3 第 1 の抵抗
8 5 第 2 の抵抗

【書類名】 図面

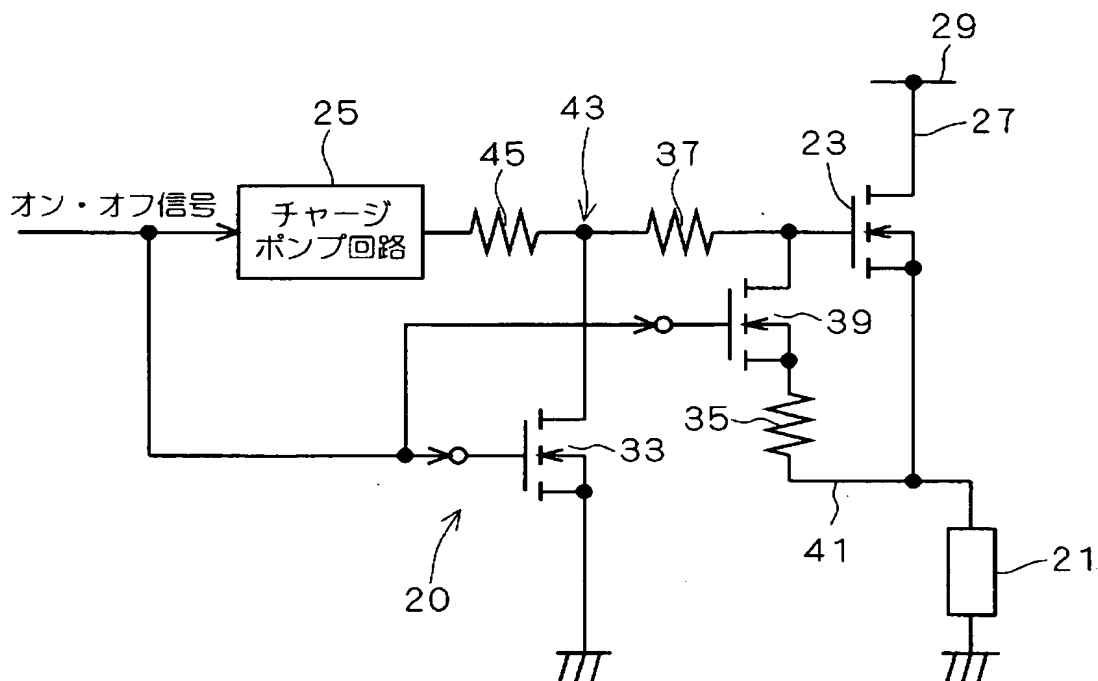
【図 1】



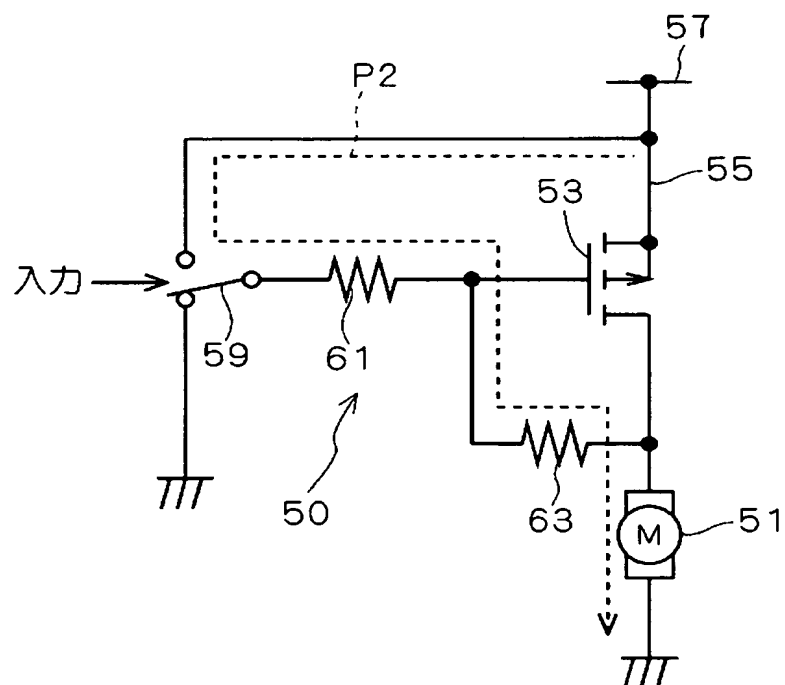
【図 2】



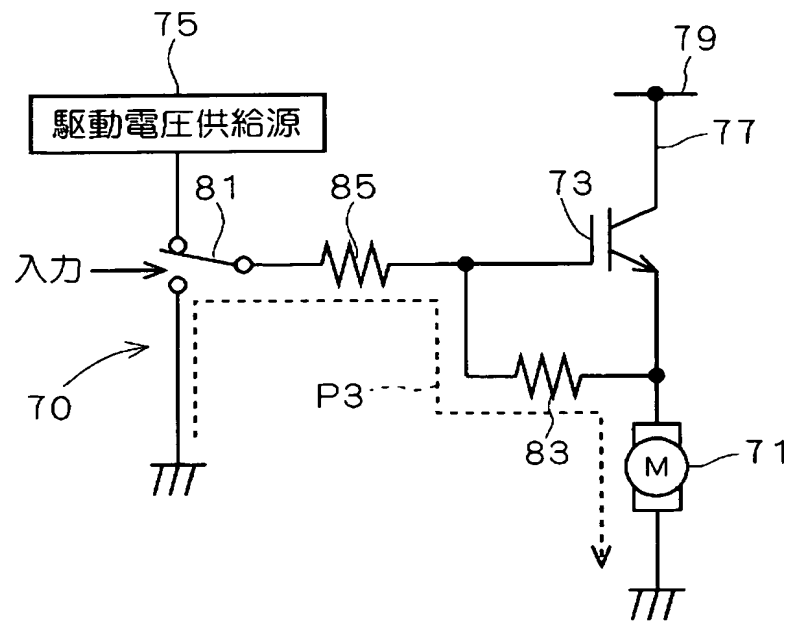
【図 3】



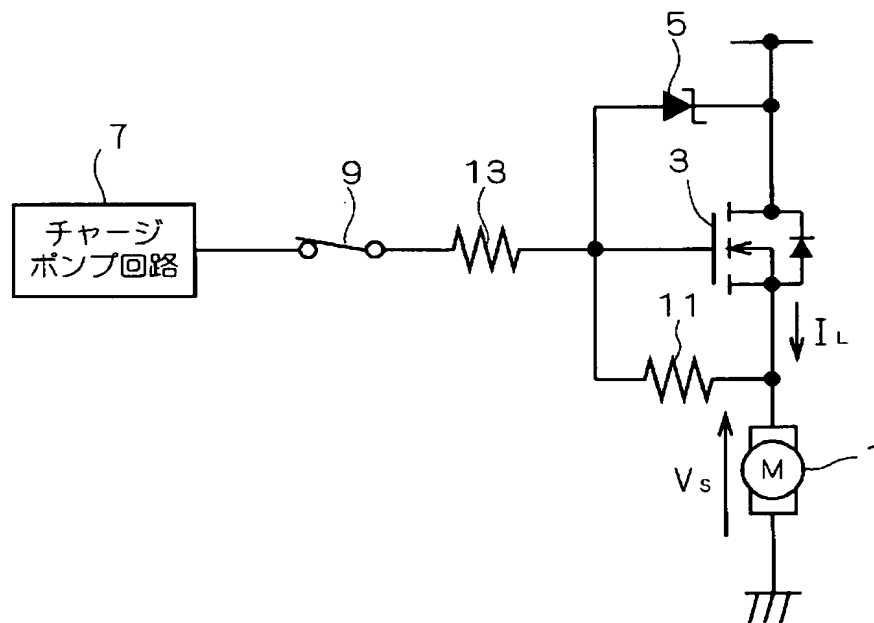
【図 4】



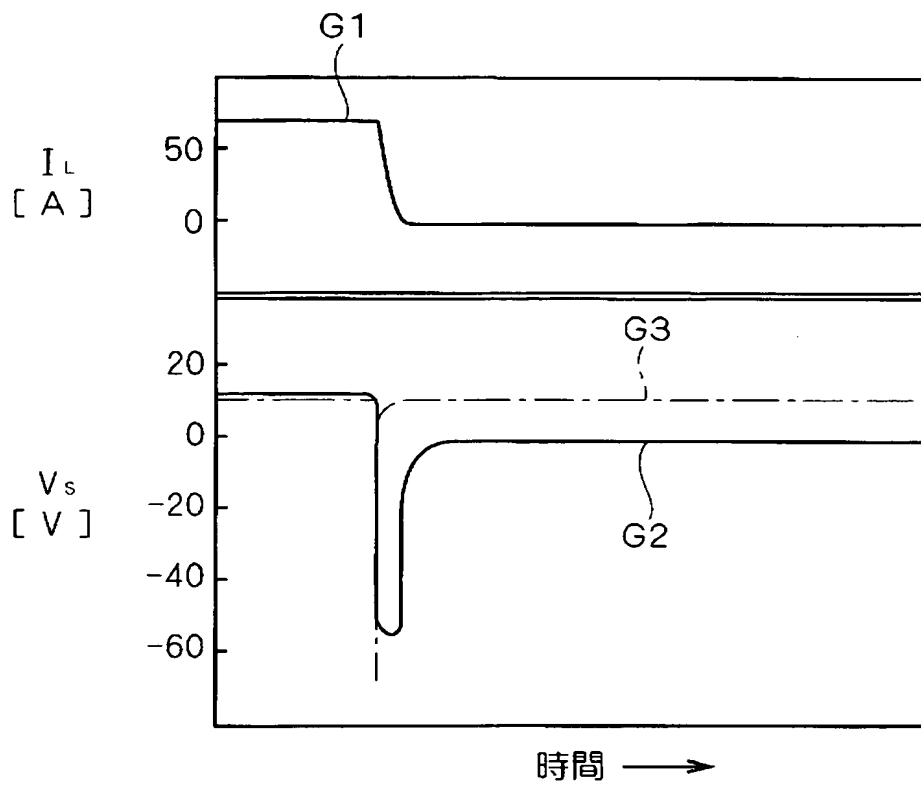
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 回路構成の小型化及び低コスト化を図りつつ、本発明が適用される回路構造における負荷の電源オフ時のサージ電圧対策を図ることができ、しかもツェナーダイオードの使用の必要がない保護回路を提供する。

【解決手段】 この保護回路 2 0 は、F E T 2 3 のゲートとチャージポンプ回路 2 5 との間に介装された第 1 のスイッチ 3 3 と、ゲートとソースとの間に介装された第 1 の抵抗 3 5 と、ゲートと第 1 のスイッチ 3 3 との間に介装された第 2 の抵抗 3 7 と、ゲートとソースとの間の接続路 4 1 に介装された第 2 のスイッチ 3 9 とを備えている。第 1 のスイッチ 3 3 は、負荷 2 1 を駆動させるべき際には F E T 2 3 のゲートをチャージポンプ回路 2 5 側に接続する一方、負荷 2 1 を電源オフさせるべき際には F E T 2 3 のゲートをグランド側に接続する。第 2 のスイッチ 3 9 は、第 1 のスイッチ 3 3 に連動して動作する。

【選択図】 図 1

特願 2 0 0 3 - 0 3 6 9 0 9

出 願 人 履 歴 情 報

識別番号 [3 9 5 0 1 1 6 6 5]

1. 変更年月日 2 0 0 0 年 1 1 月 1 日
[変更理由] 名称変更
住 所 愛知県名古屋市南区菊住1丁目7番10号
氏 名 株式会社オートネットワーク技術研究所
2. 変更年月日 2 0 0 4 年 1 月 5 日
[変更理由] 住所変更
住 所 三重県四日市市西末広町1番14号
氏 名 株式会社オートネットワーク技術研究所

特願 2 0 0 3 - 0 3 6 9 0 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 8 3 4 0 6]

1. 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

三重県四日市市西末広町 1 番 1 4 号

氏 名

住友電装株式会社

特願 2003-036909

出願人履歴情報

識別番号

[000002130]

1. 変更年月日
[変更理由]
住所
氏名

1990年 8月29日
新規登録
大阪府大阪市中央区北浜四丁目5番33号
住友電気工業株式会社